

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-071342

(43)Date of publication of application : 09.03.1990

(51)Int.Cl.

G06F 12/02

(21)Application number : 63-222211

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing :

07.09.1988

(72)Inventor : TAKEUCHI RITSUKO

(54) MEMORY CONTROLLER

(57)Abstract:

PURPOSE: To decrease the useless reference actions and to realize a memory allocation control process at a high speed by performing a searching task by referencing a respective allocation bit among plural individual allocation bits and with no direct reference given to an individual control bit map.

CONSTITUTION: A memory 10 consists of many unit areas for control and controls each page allocation. For this purpose, the memory 10 includes a individual control bit map 12, a primary representative control bit map 14, a secondary representative control bit map 16, and a memory allocation controller 18. The map 12 includes a gathering of individual allocation bits 13 which shows each page 11 forming the memory 10 is already allocated or not. These bits 13 are formed into one word every 8 bits and a primary representative allocation bit 15 is set every bits 13 equivalent to one word.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-71342

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)3月9日

G 06 F 12/02

J

8841-5B

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 メモリ管理装置

⑯ 特 願 昭63-222211

⑰ 出 願 昭63(1988)9月7日

⑱ 発 明 者 竹 内 律 子 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑲ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

⑳ 代 理 人 弁理士 鈴木 敏明

明 細 書

1. 発明の名称

メモリ管理装置

2. 特許請求の範囲

メモリを構成する管理用の各単位領域の割当てを管理し、前記各単位領域ごとに、割当て済みか否かを個別割当てビットで表示し、この個別割当てビットを集めた個別管理用ビットマップを設け、かつ、

前記個別管理用ビットマップの複数の個別割当てビットごとに、いずれかの個別割当てビットが割当て済みか否かを1個の代表割当てビットで表示し、この代表割当てビットを集めた代表管理用ビットマップを設けたことを特徴とするメモリ管理装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、コンピュータ等において使用されるメモリの割当て管理を行なうメモリ管理装置に関する。

(従来の技術)

コンピュータの主記憶装置等のメモリを使用する場合、一般に、そのメモリを一定の大きさの多数の領域に区分し、その領域を1単位として各種タスクにメモリを割当てするような管理が行なわれている。その1単位領域をページやブロックと呼び、メモリに格納すべき一定量のデータがある場合、例えばメモリ内の空きページを調べ、その空きページに対して順にデータを格納していくといった手法がとられている。

このように、メモリをページ単位で使用する場合、メモリを構成する各ページについて、既に何らかのデータ格納のために割当て済みか否かを管理する必要がある。この管理には、従来から、ビットマップを使用する方式が知られている。

第2図に、従来のメモリ管理装置のブロック図を示す。

図において、メモリ1は多数のページ2に区分されており、その各ページごとに1ビットの割当て情報を集めたビットマップ3を設けている。

図中、例えば、割当て情報が“0”の場合は割当て済み、“1”の場合は空きページであることを示している。

メモリの使用要求があった場合、メモリ割当て制御装置4が、このビットマップ3の各割当て情報を参照し、空きページをサーチしていく。空きページが発見されれば、図示しない読み書き制御装置が、メモリのその空きページに対しデータの書き込み等を実行する。

(発明が解決しようとする課題)

ところで、第2図に示したような従来のメモリ管理装置は、メモリ割当て要求があった場合、メモリ割当て制御装置4が、メモリ1の空きページを探すために、その都度ビットマップ3をシーケンシャルにサーチしていく。従って、空きページが減少した場合特に、無駄なサーチ動作が増大するという問題があった。

また、メモリ1の大容量化が進み、ページ2の数が増大すると、ビットマップ3を構成する割当て情報の数もそれにつれて増大する。従って、メ

モリ割当て制御装置のサーチ時間もますます長くなるという問題もあった。

本発明は以上の点に着目してなされたもので、メモリ割当て管理を高速に行なうことができるメモリ管理装置を提供することを目的とするものである。

(課題を解決するための手段)

本発明のメモリ管理装置は、メモリを構成する管理用の各単位領域の割当てを管理し、前記各単位領域ごとに、割当て済みか否かを個別割当てビットで表示し、この個別割当てビットを集合した個別管理用ビットマップを設け、かつ、前記個別管理用ビットマップの複数の個別割当てビットごとに、いずれかの個別割当てビットが割当て済みか否かを1個の代表割当てビットで表示し、この代表割当てビットを集合した代表管理用ビットマップを設けたことを特徴とするものである。

(作用)

以上の構成の装置は、例えば空きページをサーチする場合、先ず、代表管理用ビットマップを参

3

照する。代表管理用ビットマップを構成する代表割当てビットを1つ参照すれば、複数の個別割当てビットが全て割当て済みを表示している場合に、各個別割当てビット全てを参照したのと同じ結果を得る。また、何れかの個別割当てビットが空きページを表示している場合、これを代表割当てビットの表示から認識し、改めて、直接個別管理用ビットマップのサーチを行なう。これにより、特に、多くのページが割当て済みとなったような場合に、既に割当て済みとなった個別割当てビットを参照する速度を高速化し、空きページのサーチの時間を短縮することができる。

(実施例)

以下、本発明を図の実施例を用いて詳細に説明する。

第1図は、本発明のメモリ管理装置の実施例を示すブロック図である。

図の装置は、メモリ10が、多数の管理用の単位領域例えばページ11から構成されており、各ページの割当てを管理するために、個別管理用

4

ビットマップ12と、一次代表管理用ビットマップ14と、二次代表管理用ビットマップ16と、メモリ割当て制御装置18とが設けられている。

個別管理用ビットマップ12は、メモリ10を構成する各ページ11ごとに、そのページが割当て済みか否かを表示する個別割当てビット13を集合したものである。尚、この実施例の場合、個別割当てビット13が“0”の場合は割当て済み、“1”の場合は空きページであることを示している。

また、これらの個別割当てビット13は、8ビットごとに1ワードとなるよう組立てられており、1ワード分の個別割当てビットごとに1ビットの一次代表割当てビット15が設定されている。この一次代表割当てビット15を集合したものが、一次代表管理用ビットマップ14となる。

一次代表割当てビット15は、これに対応する1ワード分の個別割当てビット13が全て“0”の場合“0”、1つでも“1”が含まれている場

5

6

合“1”となるよう設定されている。

また、更に、一次代表割当てビット15も8ビットごとに1ワードを構成し、この1ワード分の一次代表割当てビット15に対し、1ビットの二次代表割当てビット17が設定されている。この二次代表割当てビット17を集合したものが、二次代表管理用ビットマップ16となる。

二次代表割当てビット17の表示内容も、一次代表割当てビット15と同様である。即ち、対応する1ワード分の一次代表割当てビット15が全て“0”である場合は、二次代表割当てビット17も“0”となる。また、対応する1ワード分の一次代表割当てビットのうち1つでもその内容が“1”の場合、二次代表割当てビット17は“1”となる。

本装置が動作する場合、メモリ割当て制御装置18は、空きページをサーチする際、先ず、二次代表管理用ビットマップ16をサーチし、その内容から、空きページを含む旨を表示する二次代表割当てビット17を認識する。そして、これに対

応する一次代表割当てビット15をサーチする。更に、一次代表割当てビット15をサーチし、その内容から、空きページを含む旨を表示する個別割当てビット13を認識する。こうして空きページを見つけ出す。

本発明の装置の概略動作は以上の通りであるが、第3図を用いて本発明の装置の動作を更に詳細に説明する。

第3図は、本発明の装置の具体的な動作を示すフローチャートである。

図において、空きページのサーチが開始されると、先ず、第1図に示した二次代表管理用ビットマップ16が参照される(ステップS1)。そして、二次代表割当てビット17が“1”のところがあるか否かが判断される(ステップS2)。もし、二次代表割当てビット17が全て“0”であるような場合、メモリ10中の全てのページ11が割当て済みであることを示しており、既にメモリ10へのデータの格納は不可能であるから、動作を終了する。

7

一方、何れかの二次代表割当てビット17が“1”であった場合には、ステップS3に移行する。ステップS3においては、その該当ビットにより表示される一次代表管理用ビットマップの1ワードを参照する。即ち、例えば、第1図において、二次代表管理用ビットマップ16の最左端の二次代表割当てビット17が“1”であるから、一次代表管理用ビットマップ14の最左端の1ワード分の一次代表割当てビット15が参照される。

次に、当該ワードから一次代表割当てビットが“1”のところをサーチする(ステップS4)。即ち、第1図に示した一次代表管理用ビットマップ14中の、一次代表割当てビット15が“1”であるもの、例えば、最左端のビットを取出す。そして、該当ビットにより表示される個別管理用ビットマップ12の1ワードを参照する(ステップS5)。即ち、第1図に示した個別管理用ビットマップ12の最左端の1ワード分の個別割当てビット13を参照する。そして、当該ワードから

8

個別割当てビットが“1”のところをサーチする(ステップS6)。

例えば、第1図に示した例の場合、左から2番目の個別割当てビット13が“1”であるから、これに対応するメモリ10上のページ11が空きであることを発見する。これに従って、当該個別割当てビット13の表示するページの割当て処理を行なう(ステップS7)。

次に、当該個別割当てビット13を“1”から“0”に変更する(ステップS8)。これによって、当該ページが割当て済みであることを個別割当てビット13を用いて表示したことになる。

これで、メモリの割当て処理は完了するが、本発明の装置を動作させるためには、ページ割当て処理の後、一次代表管理用ビットマップ14と二次代表管理用ビットマップ16とを、それぞれ先に説明した内容に書換える必要がある。その書換え作業を、第3図に示したステップS9からS12において行なっている。

即ち、先ず、既に割当てた当該個別割当てビッ

9

10

ト 13 の属するワード内の他のビットが全て“0”か否かが判断される(ステップS9)。そのワード内に空きページを表示するものがあるれば、対応する一次代表管理用ビットマップ14の修正は必要ないから、そのまま処理を終了する。

一方、全てのビットが“0”になった場合には、当該ワードを表示する一次代表割当てビット15を“0”にする(ステップS10)。また、当該一次代表割当てビット15が“0”になった場合、これの属するワード内の他のビットが全て“0”か否かが判断される(ステップS11)。そして、ステップS9と同様に、他のビットが全て“0”である場合には、当該ワードを表示する二次代表割当てビット17を“0”にする(ステップS12)。

以上の処理によって、個別管理用ビットマップ12と一次あるいは二次代表管理用ビットマップ14、16を、それぞれ先に説明する規則に従って修正することができる。

尚、上記実施例において、例えば、個別管理用

ビットマップ12の最右端のワードについては、全ての個別割当てビット13が“0”となっている。また、一次代表管理用ビットマップ14の最右端のワードについても、全てその一次代表割当てビット15が“0”となっている。その結果、二次代表管理用ビットマップ16の最右端の二次代表割当てビット17は“0”となっている。

ここで、若し、メモリ割当て制御装置18が、二次代表管理用ビットマップ16を右側からサーチした場合、従来の装置では、個別管理用ビットマップ12の各個別割当てビット13を64個参照することによって、これらのビットがページ割当て済みであることを認識することができたのに対し、本発明の装置では、二次代表管理用ビットマップ16の1つの二次代表割当てビット17参照することによって同様の結果を得る。

従って、特にページ割当て済みの部分が増加し、空きページが減少したような場合に、メモリ割当て制御装置18のサーチ時間を大幅に短縮することができる。実際に、メモリは例えば数千の

1 1

ページで構成されるから、サーチ時間の短縮化の効果は極めて大きいといえる。

本発明は以上の実施例に限定されない。

上記実施例においては、代表管理用ビットマップを、一次及び二次と2段階設けるようにしたが、一次代表管理用ビットマップのみを設けるようにしても差し支えなく、又、三次以上の代表管理用ビットマップを設けるようにしても差し支えない。

また、代表管理用ビットマップが、個別管理用ビットマップ8ビット分を1ワードとして、これらをまとめて表示するよう構成する例を説明したが、2ビットでも4ビットでも、又、8ビット以上をまとめるものであっても差し支えない。

上記実施例の場合、各ビットマップを1つのメモリ上に形成し、その内容の書換えはプログラムにより実行すればよいが、個別管理用ビットマップ、代表管理用ビットマップ等を、何れもレジスタから構成し、個別管理用ビットマップ1ワード分のデータが、オアゲートを介して、代表管理用

1 2

ビットマップの各ビットに入力するような回路構成を組んでも差し支えない。

更に、上記実施例では、メモリ管理上の単位領域がページである例を用いて説明したが、数ページを1ブロックとしてまとめて管理し、このブロックを1単位領域として本発明を実施してもよいことはいうまでもない。

(発明の効果)

以上説明した本発明のメモリ管理装置によれば、個別管理用ビットマップを直接参照せず、複数の個別割当てビットを代表する代表割当てビットを参照してサーチするので、無駄な参照動作を減少させ、大容量のメモリにおいても高速のメモリ割当て管理を行なうことができる。

4. 図面の簡単な説明

第1図は本発明のメモリ管理装置の実施例を示すブロック図、第2図は従来のメモリ管理装置のブロック図、第3図は本発明の装置の動作を示すフローチャートである。

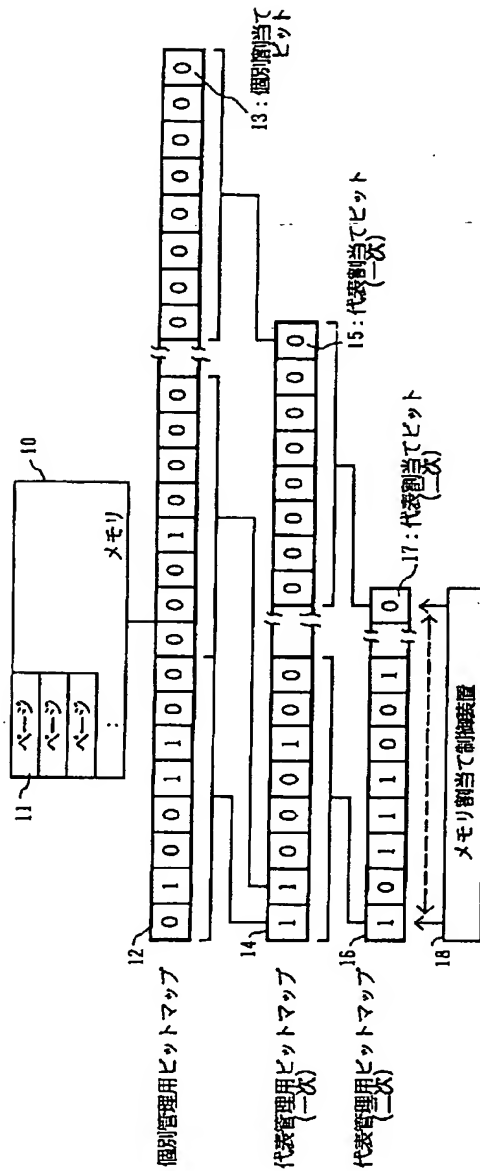
10…メモリ、11…ページ、

- 12 … 個別管理用ビットマップ、
- 13 … 個別割当てビット、
- 14 … 一次代表管理用ビットマップ、
- 15 … 一次代表割当てビット、
- 16 … 二次代表管理用ビットマップ、
- 17 … 二次代表割当てビット、
- 18 … メモリ割当て制御装置。

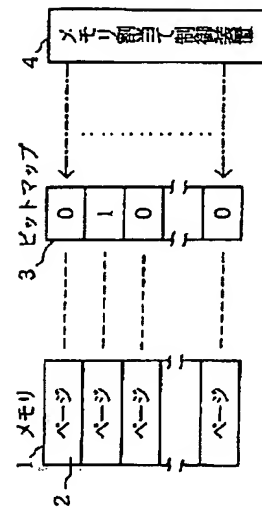
特許出願人 沖電気工業株式会社

代理人 鈴木 敏 明

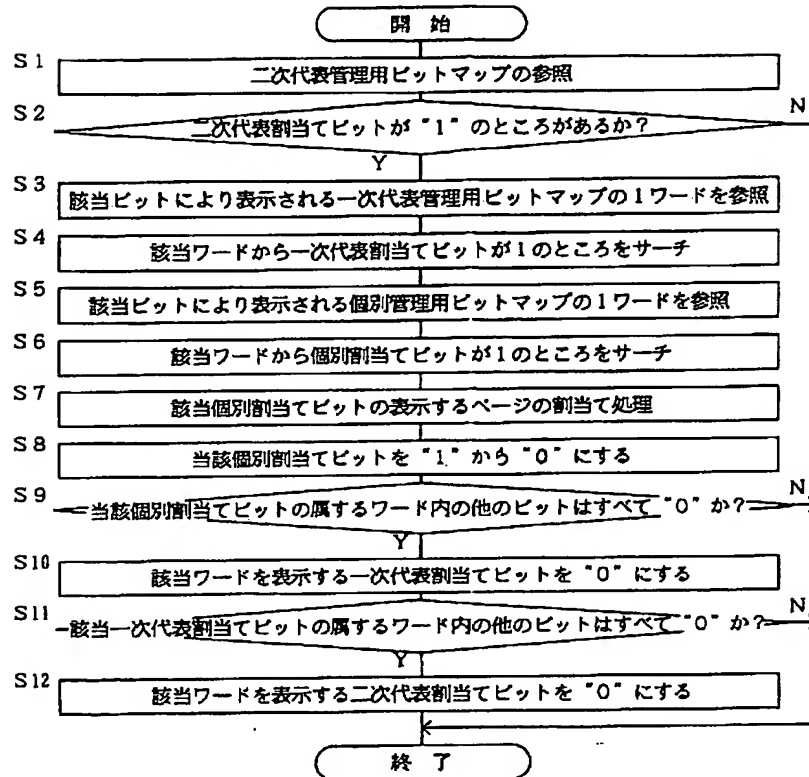




本発明のメモリ管理装置のブロック図
第 1 図



従来のメモリ管理装置のブロック図
第 2 図



本発明の装置の動作フローチャート
第 3 図